

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-142999

(43)Date of publication of application : 16.05.2003

(51)Int.Cl. H03K 19/00
G05F 3/24
G11C 11/407
H03F 1/30

(21)Application number : 2001-335554 (71)Applicant : NEC ELECTRONICS CORP
NEC MICROSYSTEMS LTD

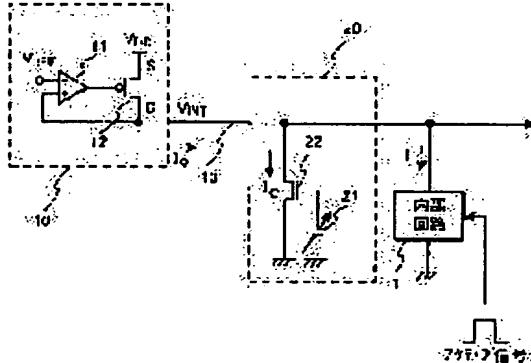
(22)Date of filing : 31.10.2001 (72)Inventor : TAKAHASHI HIROYUKI
YANO NOBUMITSU
OKUMOTO SHINJI

(54) INTERNAL STEP-DOWN CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a means for totally suppressing the change of an internal power source voltage by the change of current consumption in an internal circuit.

SOLUTION: A compensation current source 20 is connected to a part between an internal power source voltage supply line 13 and reference potential and withdraws a compensation current IC from a step-down circuit 10 so as to allow the output current I0 of the step-down circuit 10 to be equal to or more than a prescribed value even when the internal circuit 1 is in an active state. A drive PMOS transistor 12 is normally operated in an active area since a current being at least equal to or more than the compensation current IC is permitted to flow. Thus, the step-down circuit 10 is operated in a state with sufficiently high loop gain even when the internal circuit 1 is in the inactive state so that the circuit 10 instantaneously follows the change of the internal circuit 1 even when the internal circuit 1 becomes active and its current is rapidly increased. Then the change is suppressed in the internal voltage VINT of the step-down circuit 10.



LEGAL STATUS

[Date of request for examination] 03.09.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-142999

(P2003-142999A)

(43)公開日 平成15年5月16日 (2003.5.16)

(51)Int.Cl.
H 03 K 19/00
G 05 F 3/24
G 11 C 11/407
H 03 F 1/30

識別記号

F I
H 03 K 19/00
G 05 F 3/24
H 03 F 1/30
G 11 C 11/34
3 5 4 F
5 M 0 2 4

マーク* (参考)

A 5 H 4 2 0

B 5 J 0 5 6

B 5 J 0 9 0

5 J 5 0 0

5 M 0 2 4

審査請求 未請求 請求項の数26 O L (全 15 頁)

(21)出願番号

特願2001-335554(P2001-335554)

(22)出願日

平成13年10月31日 (2001.10.31)

(71)出願人 302062931

N E C エレクトロニクス株式会社

神奈川県川崎市中原区下沼部1753番地

(71)出願人 000232036

エヌイーシーマイクロシステム株式会社

神奈川県川崎市中原区小杉町1丁目403番

53

(72)発明者 高橋 弘行

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100105511

弁理士 鈴木 康夫 (外1名)

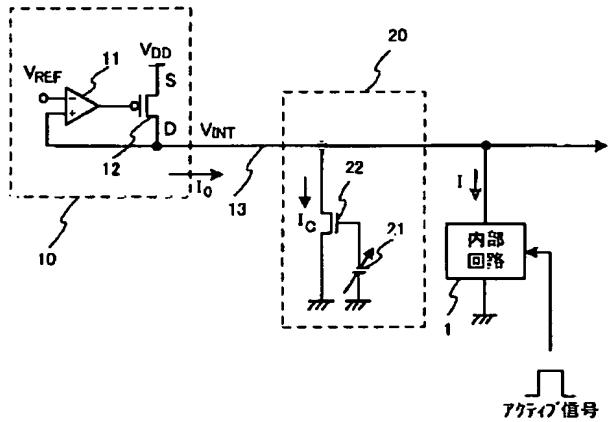
最終頁に続く

(54)【発明の名称】 内部降圧回路

(57)【要約】

【課題】 内部回路の消費電流変動による内部電源電圧の変動をトータル的に抑制する手段を提供する。

【解決手段】 内部電源電圧供給ライン13と基準電位間には、内部回路1が不活性状態のときであっても降圧回路10の出力電流 I_O が所定値以上となるように降圧回路10から補償電流 I_C を引き出す補償電流源20が接続されており、ドライバーPMOSトランジスタ12には少なくとも補償電流 I_C 以上の電流が流れているので常時活性領域で動作する。従って、降圧回路10は内部回路1が不活性状態の時でもそのループ利得が充分高い状態で動作しており、内部回路1が活性状態となって内部回路1の電流が急激に増大した場合にも、降圧回路10はその変化に即座に追随することができ、降圧回路10の内部電圧 V_{INT} の変動は小さく抑えられる。



【特許請求の範囲】

【請求項1】 基準電圧と内部電圧とを比較し、該比較結果に基づいて外部電源電圧を降圧した前記内部電圧を発生する降圧回路と、アクティブ信号により活性状態と不活性状態が切り替えられる内部回路が接続され、該内部回路に対して前記降圧回路により降圧された内部電圧を供給する内部電圧供給ラインとを有する内部降圧回路において、

前記内部電圧供給ラインと接地電位間に、前記内部回路が不活性時における前記降圧回路の出力電流を補償するための補償電流源を接続したことを特徴とする内部降圧回路。

【請求項2】 前記降圧回路は、

一方の端子に基準電圧が入力され、他方の端子に前記内部電圧が入力される差動増幅器と、前記差動増幅器の出力を入力とし、一方の電極が外部電源電圧に接続され、他方の電極が前記内部電圧供給ラインに接続されるドライバートランジスタと、を有していることを特徴とする請求項1記載の内部降圧回路。

【請求項3】 前記ドライバートランジスタは、ソース電極が前記外部電源電圧に接続され、ドレイン電極から前記内部電圧を出力するPMOSトランジスタであることを特徴とする請求項1または2記載の内部降圧回路。

【請求項4】 前記補償電流源は、前記内部回路が活性状態となって該内部回路の消費電流が増加している期間は前記補償電流を停止する手段を備えていることを特徴とする請求項1～3のいずれかに記載の内部降圧回路。

【請求項5】 前記補償電流源は、ドレイン電極とソース電極間に前記内部電圧供給ラインと接地電位間に接続されたNMOSトランジスタと、該NMOSトランジスタのゲート電極に接続され、該NMOSトランジスタのドレイン～ソース間を流れる補償電流を設定するバイアス電圧発生回路とを備えていることを特徴とする請求項1～4のいずれかに記載の内部降圧回路。

【請求項6】 前記補償電流源は、ドレイン電極とソース電極間に前記内部電圧供給ラインと接地電位間に直列に接続された第1および第2のNMOSトランジスタと、前記第1のNMOSトランジスタのゲート電極に接続され、前記内部回路が活性状態となって該内部回路の消費電流が増加している期間は前記補償電流を停止する手段と、前記第2のNMOSトランジスタのゲート電極に接続され、前記第1および第2のNMOSトランジスタのドレイン～ソース間を流れる補償電流を設定するバイアス電圧発生回路とを備えていることを特徴とする請求項1～3のいずれかに記載の内部降圧回路。

【請求項7】 前記補償電流源は、それぞれトリミング可能なフューズを介してそのドレイン電極とソース電極間に前記内部電圧供給ラインと接地電位間に並列に接続された複数のNMOSトランジスタによって構成されていることを特徴とする請求項1～4のいずれかに記載の

内部降圧回路。

【請求項8】 前記補償電流源は、前記内部電圧供給ラインと接地電位間に接続された分圧回路と、該分圧回路の分圧出力を反転増幅する反転増幅器と、ドレイン電極とソース電極間に前記内部電圧供給ラインと接地電位間に接続され、ゲート電極に前記反転増幅器の出力が入力されるNMOSトランジスタとを備え、前記NMOSトランジスタのドレイン～ソース間を流れる補償電流が前記分圧回路の分圧出力により設定されることを特徴とする請求項1～4のいずれかに記載の内部降圧回路。

【請求項9】 前記反転増幅器は、ソース電極が前記接地電位に接続され、ゲート電極に前記分圧出力が入力され、ドレイン電極が出力端子とされた第1のNMOSトランジスタと、ドレイン電極とゲート電極が前記内部電圧供給ラインに接続され、ソース電極が前記出力端子に接続された第2のNMOSトランジスタによって構成されていることを特徴とする請求項8に記載の内部降圧回路。

【請求項10】 前記分圧回路の分圧出力は、前記NMOSトランジスタのしきい値近傍の値に設定されていることを特徴とする請求項9に記載の内部降圧回路。

【請求項11】 前記補償電流源は、前記内部電圧供給ラインと接地電位間に接続された分圧回路と、該分圧回路の分圧出力を反転増幅する反転増幅器と、ソース電極とドレイン電極間に前記内部電圧供給ラインと接地電位間に接続され、ゲート電極に前記反転増幅器の出力が入力されるPMOSトランジスタとを備え、前記PMOSトランジスタのソース～ドレイン間を流れる補償電流が前記分圧回路の分圧出力により設定されることを特徴とする請求項1～4のいずれかに記載の内部降圧回路。

【請求項12】 前記反転増幅器は、ソース電極が内部電圧供給ライン接続され、ゲート電極に前記分圧出力が入力され、ドレイン電極が出力端子とされた第1のPMOSトランジスタと、ドレイン電極とゲート電極が前記接地電位に接続され、ソース電極が前記出力端子に接続された第2のNMOSトランジスタによって構成されていることを特徴とする請求項11に記載の内部降圧回路。

【請求項13】 前記分圧回路の分圧出力は、前記PMOSトランジスタのしきい値近傍の値に設定されていることを特徴とする請求項12に記載の内部降圧回路。

【請求項14】 前記内部電圧供給ラインと接地電位間に、請求項8記載の補償電流源と請求項11記載の補償電流源が並列に接続されていることを特徴とする請求項1～4のいずれかに記載の内部降圧回路。

【請求項15】 一方の端子に基準電圧が入力され、他方の端子に内部電圧が入力される差動増幅器と、該差動増幅器の出力を増幅する増幅器と、該増幅器の出力を入力とし、一方の電極が外部電源電圧に接続され、他方の電極が前記内部電圧供給ラインに接続されるドライバ

トランジスタとからなる、外部電源電圧を所定の内部電圧に降圧する降圧回路と、アクティブ信号により活性状態と不活性状態が切り替えられる内部回路が接続され、該内部回路に対して前記降圧回路により降圧された内部電圧を供給する内部電圧供給ラインとを有する内部降圧回路において、前記増幅器の動作電流を前記内部電圧供給ラインから供給することにより、前記増幅器の動作電流を前記内部回路が不活性時における前記降圧回路の出力電流を所定値に設定するための補償電流源として兼用したことを特徴とする内部降圧回路。

【請求項16】 前記ドライバートランジスタは、ソース電極が前記外部電源電圧に接続され、ドレイン電極から前記内部電圧を出力するPMOSトランジスタであることを特徴とする請求項15に記載の内部降圧回路。

【請求項17】 前記増幅器は、ソース電極が前記内部電圧供給ラインに接続されたPMOSトランジスタとソース電極が接地電位に接続されたNMOSトランジスタとからなり、共通接続されたゲート電極に前記差動増幅器の出力が入力され、共通接続されたドレイン電極を出力端子とするCMOSインバータとして構成されていることを特徴とする請求項15または16に記載の内部降圧回路。

【請求項18】 前記増幅器は、ソース電極が前記内部電圧供給ラインに接続されたPMOSトランジスタとソース電極が接地電位に接続されたNMOSトランジスタとからなり、いずれか一方のトランジスタのゲート電極に前記差動増幅器の出力が入力され、他方のトランジスタは定電流負荷として機能させ、共通接続されたドレイン電極を出力端子とする反転増幅器として構成されていることを特徴とする請求項15または16に記載の内部降圧回路。

【請求項19】 内部電圧を分圧する分圧回路と、一方の端子に基準電圧が入力され、他方の端子に前記分圧回路の出力が入力される差動増幅器と、該差動増幅器の出力を増幅する増幅器と、該増幅器の出力を入力とし、一方の電極が外部電源電圧に接続され、他方の電極が前記内部電圧供給ラインに接続されるドライバートランジスタとからなる、外部電源電圧を所定の内部電圧に降圧する降圧回路と、アクティブ信号により活性状態と不活性状態が切り替えられる内部回路が接続され、該内部回路に対して前記降圧回路により降圧された内部電圧を供給する内部電圧供給ラインとを有する内部降圧回路において、

前記差動増幅器および前記増幅器の動作電流を前記内部電圧供給ラインから供給することにより、前記分圧回路と前記差動増幅器および前記増幅器の動作電流を、前記内部回路が不活性時における前記降圧回路の出力電流を所定値に設定するための補償電流源として兼用したことを特徴とする内部降圧回路。

【請求項20】 前記ドライバートランジスタは、ソース電極が前記外部電源電圧に接続され、ドレイン電極から前記内部電圧を出力するPMOSトランジスタであることを特徴とする請求項19に記載の内部降圧回路。

【請求項21】 前記増幅器は、ソース電極が前記内部電圧供給ラインに接続されたPMOSトランジスタとソース電極が接地電位に接続されたNMOSトランジスタとからなり、共通接続されたゲート電極に前記差動増幅器の出力が入力され、共通接続されたドレイン電極を出力端子とするCMOSインバータとして構成されていることを特徴とする請求項19または20に記載の内部降圧回路。

【請求項22】 前記増幅器は、ソース電極が前記内部電圧供給ラインに接続されたPMOSトランジスタとソース電極が接地電位に接続されたNMOSトランジスタとからなり、いずれか一方のトランジスタのゲート電極に前記差動増幅器の出力が入力され、他方のトランジスタは定電流負荷として機能させ、共通接続されたドレイン電極を出力端子とする反転増幅器として構成されていることを特徴とする請求項19または20に記載の内部降圧回路。

【請求項23】 基準電圧と内部電圧とを比較し、該比較結果に基づいて外部電源電圧を降圧した前記内部電圧を発生する降圧回路と、アクティブ信号により活性状態と不活性状態が切り替えられる内部回路が接続され、該内部回路に対して前記降圧回路により降圧された内部電圧を供給する内部電圧供給ラインとを有する内部降圧回路において、

前記内部電圧供給ラインと接地電位間に、前記内部電圧供給ラインから供給される電流により動作する機能回路を接続し、該機能回路の動作電流を前記内部回路が不活性時における前記降圧回路の出力電流を所定値に設定するための補償電流源として兼用したことを特徴とする内部降圧回路。

【請求項24】 基準電圧と内部電圧とを比較し、該比較結果に基づいて外部電源電圧を降圧した前記内部電圧を発生する降圧回路と、アクティブ信号により活性状態と不活性状態が切り替えられる内部回路が接続され、該内部回路に対して前記降圧回路により降圧された内部電圧を供給する内部電圧供給ラインとを有する内部降圧回路において、

不活性状態の時に前記内部電圧供給ラインから前記内部回路に所定値以上のリーク電流が流れるように、前記内部回路のデバイスパラメータが設定されていることを特徴とする内部降圧回路。

【請求項25】 前記降圧回路は、一方の端子に基準電圧が入力され、他方の端子に前記内部電圧が入力される差動増幅器と、前記差動増幅器の出力を入力とし、一方の電極が外部電源電圧に接続され、他方の電極が前記内部電圧供給ライ

ンに接続されるドライバートランジスタと、
を有していることを特徴とする請求項23または24に
記載の内部降圧回路。

【請求項26】前記ドライバートランジスタは、ソース電極が前記外部電源電圧に接続され、ドレイン電極から前記内部電圧を出力するPMOSトランジスタであることを特徴とする請求項25に記載の内部降圧回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、外部から供給される外部電源電圧を所定の内部電圧に降圧して半導体集積回路等の内部回路に供給する内部降圧回路に関する。

【0002】

【従来の技術】DRAMあるいはSRAM等の半導体記憶装置を有する集積回路において、半導体記憶装置の大容量化、高集積化に伴ってトランジスタ素子は一層微細化され、それに伴うゲート酸化膜の耐圧低下に対処するために半導体集積回路に供給される電源電圧は低電圧化される傾向にある。そのため従来、外部電源電圧を所定の内部電圧に降圧して上記半導体集積回路等の内部回路に供給する内部電源降圧方式が採用されている。また、これら内部回路の低電圧化に伴って外部電源電圧源自体も、より低電圧なものが用いられるようになっている。

【0003】図15は、内部降圧回路の一般的な構成例を示しており、反転入力端に基準電圧 V_{REF} が、非反転入力端に内部電圧 V_{INT} が入力される差動増幅器11と、ゲート電極に差動増幅器11の出力が入力され、ソース電極が外部電源電圧 V_{DD} に接続され、ドレイン電極から降圧された内部電圧 V_{INT} を出力するPチャンネルMOS電界効果トランジスタ（以下、PMOSトランジスタ）12とからなる降圧回路10と、降圧回路10と内部回路1間を接続する内部電源ライン13により構成されている。

【0004】この降圧回路10の内部電源ライン13上には、動作電流 I を消費する一つあるいは複数の内部回路1が接続されている。従って、内部電源ライン13上の内部電圧 V_{INT} は、外部電源電圧 V_{DD} を、ドライバPMOSトランジスタ12のソースドレイン間インピーダンスと内部回路1の内部インピーダンスにより分圧した電圧として与えられることになる。

【0005】降圧回路10内の差動増幅器11では、内部電源ライン13上の内部電圧 V_{INT} と基準電圧 V_{REF} とが比較され、例えば内部電圧 V_{INT} が基準電圧 V_{REF} よりも低くなると、差動増幅器11の出力電圧が低下するため、ドライバPMOSトランジスタ12がオン方向に遷移して外部電源電圧 V_{DD} からの電流が増加し、その結果内部電圧 V_{INT} が上昇する。一方、内部電圧 V_{INT} が基準電圧 V_{REF} よりも高くなると、差動増幅器11の出力電圧が上昇するため、ドライバPMOSトランジスタ12がオフ方向に遷移して

外部電源電圧 V_{DD} からの電流が減少し、内部電圧 V_{INT} が低下する。このフィードバック作用により、内部電圧 V_{INT} が常に基準電圧 V_{REF} となるように制御される。

【0006】内部回路1は、例えばメモリアクセス等が行われていない不活性状態（スタンバイモード）の時には、その内部電流 I としてデバイスリーク電流程度の微小な電流しか流れおらずその内部インピーダンスも大きい。従ってPMOSトランジスタ12を介して出力される電流 I_0 も内部回路1のデバイスリーク電流程度の微小な電流に制御され、内部電圧 V_{INT} は基準電圧 V_{REF} となるように制御される。一方、内部回路1にアクティブ信号パルスが入力されて内部回路1が活性状態となると内部回路1の内部インピーダンスも小さくなるために内部電圧 V_{INT} が低下するが、上記降圧回路10のフィードバック作用によりドライバPMOSトランジスタ12がオン方向に遷移して外部電源電圧 V_{DD} からの電流 I_0 を増加させ、内部電圧 V_{INT} を上昇させて基準電圧 V_{REF} となるように制御する。

【0007】しかしながら、半導体装置に供給される電源電圧の低電圧化に伴って外部電源電圧 V_{DD} の値が小さくなってくると、外部電源電圧 V_{DD} と降圧された内部電圧 V_{INT} の電位差も小さくなり、内部電圧 V_{INT} を常時一定電圧に維持することが困難となってくる。例えば、内部電圧 V_{INT} が1.5V、外部電源電圧 V_{DD} が1.8V以下の低電圧が用いられているような場合、外部電源電圧 V_{DD} と内部電圧 V_{INT} 間の電位差は0.3V以下となり、内部回路1の電源電圧を一定に支えるドライバPMOSトランジスタ12のソースドレイン間の電位差が小さいために、その能力が十分に発揮されない状態になっている。

【0008】特に、アクティブ信号が入力されて内部回路1が動作状態となり急激に大きな電流を消費するような場合、内部回路1のピーク電流に対する降圧回路10の応答が悪くなり、内部電圧 V_{INT} が低下してから内部基準電圧 V_{REF} に回復するのに遅れが生じる。あるいは内部回路1が動作状態から不動作状態に切り替わって内部電流 I が不動作時のデバイスリーク電流にまで減少した場合に、降圧回路10はその出力電流 I_0 を即座に応答して減少させることができずにオーバーシュートが発生する。このような内部電源電圧 V_{INT} の変動は、内部回路1の動作特性に悪影響を及ぼす。

【0009】この内部電源電圧 V_{INT} の変動を抑制する手段として、降圧回路10を構成するドライバPMOSトランジスタ12のチャネル幅 W を大きくしてドライバPMOSトランジスタ12の能力を高める、あるいは差動増幅器11の動作電流を大きくして増幅感度を上げることにより降圧回路10の応答速度を速くする等の手段を採用することによって内部電圧 V_{INT} の変動を小さくすることは可能であるが、このような解決手段

は、集積回路に占める降圧回路の面積の増大により内部回路の集積度を低下させる、あるいは降圧回路の消費電流が増加するという新たな問題を発生する。

【0010】また、従来、外部電源電圧を所定の内部電圧に変換してDRAM等の内部回路に供給する内部電源降圧回路において、DRAM等のセンス動作のように急激に大きな電流を消費する場合に生ずる内部電圧 V_{INT} の低下を補償する手段として、例えば特開平11-86542号公報には、外部電源電圧ノードと内部電圧供給ノードとの間にPMOSトランジスタを接続し、センス動作などにおいて大きな電流を消費する場合のトリガとなる信号が入力されてから一定期間の間このPMOSトランジスタをオン状態として外部電源電圧ノードから内部電圧ノードに対して電流を供給する補助的な電流供給源を設ける技術が開示されている。

【0011】上記公報記載の技術によれば、内部回路が急激に大きな電流を消費する場合に、内部電源降圧回路から内部電圧供給ノードへの電流供給開始の遅れを、その遅れ時間の間、外部電源電圧ノードから補助のPMOSトランジスタを介した電流供給で補うことにより、内部電圧 V_{INT} の低下（アンダーシュート）を防ぐことが可能となる。

【0012】

【発明が解決しようとする課題】上記公報記載の技術の場合、センス動作を行うためのアクティブ信号が内部回路（DRAM等）に入力された時点から所定の期間補助のPMOSトランジスタをオンとして、外部電源電圧ノードから一定の電流を補給しているために、外部電源電圧ノードからの電流補給開始時点では、この補給電流が逆に内部電圧 V_{INT} の変動要因となる虞がある。

【0013】例えば図14の構成において、内部回路1にアクティブ信号パルスが入力されている期間中であっても内部回路1で消費される動作電流は変動しており、一定の動作電流値に固定されているわけではない。一方上記公報記載の技術の場合、外部電源電圧ノードと内部電圧供給ノードとの間に接続されたPMOSトランジスタからの供給電流はトリガとなる信号が入力されてから一定期間の間のみ一定電流を供給するので、逆に内部電圧 V_{INT} の変動要因となる。

【0014】また、一般に内部回路1が動作状態となって動作電流Iが流れ始めるまでに時間的な遅れ（遅延時間）が生じる場合、アクティブ信号パルスが入力された時点からこの遅延時間の間は、内部電圧供給ライン上の消費電流は殆ど変化しないので、この間に上記PMOSトランジスタがオンとなって外部電源から電流が補給されると過剰に電流が供給された状態となって逆に内部電圧 V_{INT} が上昇してしまうという問題がある。

【0015】さらに、上記公報記載の技術では、上記PMOSトランジスタを介した電流供給が終了した後、内部回路が大きな動作電流を消費している状態から活性状

態が終了して動作電流が急激に減少したときに生ずる内部電圧 V_{INT} のオーバーシュートによる電圧変動には対応できず、トータル的な消費電流の変動による内部電圧 V_{INT} の変動を抑制することは困難である。

【0016】本発明の目的は、上記問題点に鑑み、内部電圧供給ライン上に過剰な電流を供給することなく、内部回路の消費電流変動による内部電圧 V_{INT} の変動をトータル的に抑制する手段を提供することにある。

【0017】本発明の他の目的は、内部回路が大きな動作電流を消費している状態から動作が停止して動作電流が急激に減少したときに生ずる内部電圧 V_{INT} のオーバーシュートによる電圧変動も抑制可能な手段を提供することにある。

【0018】

【課題を解決するための手段】本発明の内部降圧回路は、基準電圧と内部電圧とを比較し、該比較結果に基づいて外部電源電圧を降圧した前記内部電圧を発生する降圧回路と、アクティブ信号により活性状態と不活性状態が切り替えられる内部回路が接続され、該内部回路に対して前記降圧回路により降圧された内部電圧を供給する内部電圧供給ラインとを有する内部降圧回路において、前記内部電圧供給ラインと接地電位間に、前記内部回路が不活性時ににおける前記降圧回路の出力電流が少なくとも所定値となるように前記降圧回路から補償電流を引き出す補償電流源を接続したことを特徴とする。

【0019】本発明によれば、前記降圧回路により降圧された内部電圧を前記内部回路に供給する内部電圧供給ラインと接地電位間に、少なくとも前記内部回路が不活性時に前記降圧回路から所定の出力電流を流すための補償電流源を設けているので、前記降圧回路は内部回路が不活性時においても補償電流以上の電流を出力する高利得領域で動作しており、内部電圧 V_{INT} の変動に対する応答特性が高い状態に設定されている。従って、内部回路が活性状態となってピーク電流が発生したとき又は内部回路が活性状態から不活性状態に切り替わって内部回路の電流が急激に減少したときに発生する内部電圧のアンダーシュート又はオーバーシュートにも即座に追随することができ、内部電圧 V_{INT} の変動を効率的に防止することが可能となる。

【0020】本発明のより具体的な内部降圧回路は、一方の端子に基準電圧が入力され、他方の端子に内部電圧が入力される差動増幅器と、ゲート電極に前記差動増幅器の出力が入力され、ソース電極が外部電源電圧に接続され、ドレイン電極から前記内部電圧を出力するPMOS出力トランジスタとを有し、前記外部電源電圧を前記基準電圧に基づいて降圧した前記内部電圧を内部回路に输出する降圧回路と、アクティブ信号により活性状態と不活性状態が切り替えられる内部回路が接続され、該内部回路に対して前記降圧回路により降圧された内部電圧を供給する内部電圧供給ラインとを有する内部降圧回路

において、前記内部電圧供給ラインと基準電位間に、前記内部回路が不活性時における前記降圧回路の出力電流が少なくとも所定値となるように前記降圧回路から補償電流を引き出す補償電流源を接続したことを特徴とする。

【0021】また、本発明の内部降圧回路は、一方の端子に基準電圧が入力され、他方の端子に内部電圧が入力される差動増幅器と、該差動増幅器の出力を増幅する増幅器と、ソース電極が外部電源電圧に接続されドレンイン電極から前記内部電圧を出力するドライバーPMOSトランジスタとからなる、外部電源電圧を所定の内部電圧に降圧する降圧回路と、アクティブ信号により活性状態と不活性状態が切り替えられる内部回路が接続され、該内部回路に対して前記降圧回路により降圧された内部電圧を供給する内部電圧供給ラインとを有する内部降圧回路において、前記増幅器の動作電流を前記内部電圧供給ラインから供給することにより、前記増幅器を流れる動作電流を、前記内部回路が不活性時における前記降圧回路の出力電流を所定値に設定するための補償電流源として兼用したことを特徴とする。

【0022】また、本発明の内部降圧回路は、内部電圧を分圧する分圧回路と、一方の端子に基準電圧が入力され、他方の端子に前記分圧回路の出力が入力される差動増幅器と、該差動増幅器の出力を増幅する増幅器と、ソース電極が外部電源電圧に接続されドレンイン電極から前記内部電圧を出力するドライバーPMOSトランジスタとからなる、外部電源電圧を所定の内部電圧に降圧する降圧回路と、アクティブ信号により活性状態と不活性状態が切り替えられる内部回路が接続され、該内部回路に対して前記降圧回路により降圧された内部電圧を供給する内部電圧供給ラインとを有する内部降圧回路において、前記差動増幅器および前記増幅器の動作電流を前記内部電圧供給ラインから供給することにより、前記分圧回路と前記差動増幅器および前記増幅器を流れる動作電流を、前記内部回路が不活性時における前記降圧回路の出力電流を所定値に設定するための補償電流源として兼用したことを特徴とする。

【0023】また、本発明の内部降圧回路は、基準電圧と内部電圧とを比較し、該比較結果に基づいて外部電源電圧を降圧した前記内部電圧を発生する降圧回路と、アクティブ信号により活性状態と不活性状態が切り替えられる内部回路が接続され、該内部回路に対して前記降圧回路により降圧された内部電圧を供給する内部電圧供給ラインとを有する内部降圧回路において、前記内部電圧供給ラインと接地電位間に、前記内部電圧供給ラインから供給される電流により動作する機能回路を接続し、該機能回路の動作電流を前記内部回路が不活性時における前記降圧回路の出力電流を所定値に設定するための補償電流源として兼用したことを特徴とする。

【0024】

【発明の実施の形態】図1は、本発明の第1の実施形態を示す回路図である。図1において、降圧回路10は、反転入力端に基準電圧 V_{REF} が、非反転入力端に内部電圧 V_{INT} が入力される差動増幅器11と、ゲート電極に差動増幅器11の出力が入力され、ソース電極が外部電源電圧 V_{DD} に接続され、ドレンイン電極から内部電圧 V_{INT} を出力するドライバーPMOSトランジスタ12とによって構成され、内部電圧供給ライン13上に、外部電源電圧 V_{DD} を降圧した内部電圧 V_{INT} が供給される。

【0025】内部電圧供給ライン13上には、動作電源電圧として内部電圧 V_{INT} が供給される一つあるいは複数の内部回路1が接続されている。この内部回路1は、アクティブ信号により活性状態と不活性状態に切り替えられ、活性状態のときには動作電流 I が流れ、不活性状態のときには微小なデバイスリーク電流が流れている。

【0026】また、内部電圧供給ライン13と基準電位間に、内部回路1が不活性状態のときであっても、降圧回路10の出力電流 I_o が所定値以上となるように降圧回路10から補償電流 I_c を引き出す補償電流源20が接続される。補償電流源20は、ドレンイン電極とソース電極間が内部電圧供給ライン13と接地電位間に接続されたNMOSトランジスタ22と、NMOSトランジスタ22のゲート電極に接続され、NMOSトランジスタ22のドレンインソース間を流れる補償電流を設定する固定あるいは可変のバイアス電圧発生回路21によって構成されている。

【0027】図2は、第1実施形態の動作の概要を説明するためのグラフであり、実線は本実施形態の補償電流源20を備えたときの動作特性、点線は補償電流源20を有していない場合の動作特性を示している。以下、図1～図2を参照して第1の実施形態の動作について説明する。

【0028】本発明の補償電流源20が接続されていない場合、内部回路1が不活性状態の時には降圧回路10から出力される電流 I_o は、内部回路1のデバイスリーク電流程度であるためドライバーPMOSトランジスタ12の動作点はカットオフ近傍となり、降圧回路10はそのループ利得が低い状態で動作を行っている。このような状態で内部回路1が活性状態となって内部回路1の電流が急激に増大した場合、降圧回路10はループ利得が低いためにその変化に即座に追随することができず、降圧回路10の内部電圧 V_{INT} は図2の点線で示すようなアンダーシュートを生じて大きく変動する。

【0029】一方、本発明の補償電流源20が接続されている場合には、内部回路1が不活性状態の時であっても降圧回路10から出力されている電流 I_o は、内部回路1のリーク電流と補償電流源20の補償電流 I_c の和となり、ドライバーPMOSトランジスタ12の動作点

は活性領域にあり、従って降圧回路10はそのループ利得が充分高い状態で動作している。

【0030】この状態で、内部回路1にアクティブ信号が入力されて内部回路1が活性状態となり電流Iが急激に増大した場合にも、降圧回路10のループ利得が高いのでその変化に即座に追随することができ、降圧回路10の内部電圧 V_{INT} の変動は図2の実線で示すように小さく抑えられる。

【0031】図3は、本発明の第2の実施形態を示す回路図である。図3において、降圧回路10及び内部回路1は第1の実施形態と同様の構成となっている。

【0032】本実施形態では、内部電圧供給ライン13上の内部回路1が接続されている近傍と接地電位端子との間に、内部回路1が活性状態となって該内部回路1の消費電流Iが増加している期間はオフとなり、内部回路1が不活性状態となってその消費電流Iがデバイスリーク電流程度のときオンとなって補償電流路を形成する内部電源安定化用の補償電流源30が接続される。

【0033】この内部電源安定化用の補償電流源30は、ドレイン電極とソース電極間が、内部電圧供給ライン13と接地端子間に接続されたNMOSトランジスタ33と、アクティブ信号を遅延する遅延回路31と、遅延回路31により遅延されたアクティブ信号を反転するインバータ32とからなり、インバータ32の出力がNMOSトランジスタ33のゲート電極に入力される。

【0034】なお遅延回路31は、内部回路1の動作遅延と補償電流源30の動作遅延を等しくするために挿入されているが、遅延回路31がなくても両者の動作遅延に差が生じない場合には不要である。また、インバータ32は、アクティブ信号パルスが負のパルスであれば不要である。

【0035】図4は、第2の実施形態の動作タイムチャートであり、図5は、第2実施形態の動作の概要を説明するためのグラフである。以下、図3～図5を参照して第2の実施形態の動作について説明する。

【0036】内部回路1が不活性状態の時には、内部回路1ではリーク電流程度の微少な電流が消費されており、また、アクティブ信号は“L”であるのでインバータ32で反転された信号 P_A は“H”となっており、NMOSトランジスタ33はオン状態である。従って、降圧回路10の出力電流 I_o は、内部回路1のリーク電流とNMOSトランジスタ33を介して内部電圧供給ラインから接地端子に流れる補償電流 I_c の和となる。

【0037】この状態で、内部回路1に入力されるアクティブ信号が“H”となると、内部回路1が活性状態となり、消費電流Iが急激に増大するが、この電流増大のタイミングは、内部回路1の動作遅延によりアクティブ信号が入力されてから時間 τ だけ遅れる。

【0038】一方、このアクティブ信号は補償電流源30にも入力され、遅延回路31において、内部回路1の

動作遅延時間に相当する時間 τ 遅延された後、インバータ32で反転された信号 P_A としてNMOSトランジスタ33のゲート電極に供給される。信号 P_A は、アクティブ信号が“H”となった時点から時間 τ 後に“L”となるので、その時点からNMOSトランジスタ33はオフとなり、補償電流 I_c は流れなくなる。その後、内部回路1に入力されるアクティブ信号が再び“L”となり、内部回路1が不活性状態となった時点でNMOSトランジスタ33はオン状態となり、再び補償電流 I_c が流れる。

【0039】本実施形態においても、図5に示すように、内部回路1が不活性状態の時には、降圧回路10から出力されている電流 I_o は、内部回路1のリーク電流と補償電流源30の補償電流 I_c の和となり、ドライバ～PMOSトランジスタ12の動作点は活性領域にあって降圧回路10はそのループ利得が充分高い状態で動作している。

【0040】本実施形態の場合、内部回路1が活性状態となって内部回路1の電流が増大し始める時点で、補償電流源30による補償電流 I_c は停止されるが、その時点では内部回路1に充分大きな動作電流Iが流れているので降圧回路10の出力電流 I_o が補償電流 I_c 以下となることはなく、従って、降圧回路10のループ利得は高い状態に維持されているので内部電圧 V_{INT} の変化に即座に追随することができ、降圧回路10の内部電圧 V_{INT} の変動は図5の実線で示すように小さく抑えられる。

【0041】また本実施形態では、内部回路1にアクティブ信号が入力されてから、消費電流が増大するタイミングに合わせて、それまで流していた補償電流 I_c を停止するので、第1の実施形態と比較した場合、内部回路1が不活性状態の時と活性状態の時とで降圧回路10からの供給電流 I_o の変化を小さくすることができ降圧回路10の電圧追従特性をさらに改善することができるとともに、低消費電流化を図ることが可能である。

【0042】また、内部電圧供給ライン13には内部回路1を複数個接続することが可能であり、その際、各内部回路にそれぞれ補償電流源30を接続し、遅延回路31の遅延時間を各内部回路の動作遅延時間に合わせて設定すれば、内部電圧 V_{INT} の変動をさらに小さく抑えることができる。

【0043】図6は、本発明の第3の実施形態を示す回路図である。本実施形態における補償電流源40は、第2の実施形態におけるNMOSトランジスタ33と直列にNMOSトランジスタ43を接続し、このNMOSトランジスタのゲート電極に可変電圧源を接続して、NMOSトランジスタ33, 43を流れる補償電流を調整可能に構成したことを特徴としている。その他の構成は第2の実施形態と同様であり、動作も第2の実施形態と同様であるので詳細な説明は省略する。

【0044】本実施形態によれば、内部回路1を流れるリーク電流のばらつきに応じて補償電流を増減させ、必要以上の電流を流さないようにすることができる。また、実施例では電流調整用のNMOSトランジスタ43を直列に接続しているが、NMOSトランジスタ33のゲート電極に入力される反転アクティブ信号PAの電圧を直接調整するように構成すれば、NMOSトランジスタ43を省略しても同様の機能を持たせることは可能である。

【0045】図7は、本発明の第4の実施形態を示す回路図である。本実施形態の補償電流源50は、内部電圧供給ライン13と接地電位間に、フューズとNMOSトランジスタを直列に接続した回路を複数個並列に接続し、不活性時における内部回路のリーク電流のばらつきに応じて、フューズをトリミングすることにより内部電圧供給ライン13と接地電位間に接続されるNMOSトランジスタの数を調整可能に構成したことを特徴としている。

【0046】図7において、複数のNMOSトランジスタ51、52は内部電圧供給ライン13と接地電位間に並列に接続され、かつ内部電圧供給ライン13と各NMOSトランジスタ51、52のドレイン電極間にフューズ53、54が接続されている。これらのフューズ53、54は、内部回路1のデバイスリーク電流に応じて接続または切断のためのトリミングが可能であり、内部電圧供給ライン13と接地電位間に接続されるNMOSトランジスタの数を内部回路1のデバイスリーク電流のばらつきによる変動分に合わせて変更することができる。

【0047】例えば図7の構成において、内部回路1のリーク電流が小さい場合には、フューズトリミングは行わずに、NMOSトランジスタ51と52を並列に接続してI₁ + I₂を補償電流とする補償電流源50を構成する。また、内部回路1のリーク電流が比較的大きい場合には、NMOSトランジスタ51または52のいずれかのフューズを切断して、一方のNMOSトランジスタのみにより補償電流源50を構成する。各NMOSトランジスタの補償電流I₁とI₂の値を異ならせておけば、さらに多様な調整が可能になる。

【0048】なお図7では、フューズ及びNMOSトランジスタからなる直列回路が2組並列に接続された例を示しているが、本実施形態は2組に限定されるものではなく、2組以上任意の数のフューズ及びNMOSトランジスタからなる直列回路を並列接続して構成することができ、その場合には内部回路1のデバイスリーク電流のばらつきに対してより細かい調整が可能となる。

【0049】また、各NMOSトランジスタ51、52のゲート電極に入力されるコントロール信号は、第1実施形態のような常時入力される一定の直流電圧、あるいは第2実施形態のようなアクティブ信号入力時に各NM

OSトランジスタをオフとするパルス状電圧のいずれであってもよい。

【0050】図8は、本発明の第5の実施形態を示す回路図である。本実施形態の補償電流源60は、内部電圧供給ライン13と接地電位間に接続されて内部電圧V_{INT}を分圧する抵抗R₁、R₂からなる分圧回路を備え、この分圧回路の分圧出力V_{TN}を、NMOSトランジスタのしきい値電圧近傍の値に設定することにより、内部回路1内のNMOSトランジスタの不活性時におけるリーク電流のばらつきも補償可能にしたことを特徴としている。

【0051】図8において、抵抗R₁、R₂からなる分圧回路で分圧された内部電圧V_{INT}の分圧出力V_{TN}は、ソース電極が接地電位に接続されたNMOSトランジスタ61のゲート電極に入力される。NMOSトランジスタ61のドレイン電極と内部電圧V_{INT}の間に、ゲート電極とドレイン電極が内部電圧V_{INT}に接続されソース電極がNMOSトランジスタ61のドレイン電極に接続された負荷素子としてのNMOSトランジスタ62が接続されている。このNMOSトランジスタ61および62からなる回路は、抵抗R₁、R₂からなる分圧回路の出力を反転増幅してNMOSトランジスタ63のゲート電極に供給する反転増幅器として機能している。

【0052】抵抗R₁、R₂からなる分圧回路の分圧出力V_{TN}の値は、NMOSトランジスタ61のしきい値電圧近傍の値に設定される。またNMOSトランジスタ61のドレイン電極からの出力は、そのドレイン電極とソース電極間が内部電圧供給ライン13と接地電位間に接続されて補償電流I_cを流すNMOSトランジスタ63のゲート電極に入力される。

【0053】補償電流源60を構成するNMOSトランジスタ61～63と内部回路1内のNMOSトランジスタは同一の集積回路内の素子として同一工程で形成されるので、これらのNMOSトランジスタのしきい値電圧は全て等しくなる。以下、図8を参照して本実施形態の動作について説明する。

【0054】内部回路1が不活性状態の時に内部回路1に流れるリーク電流は、内部回路1内のNMOSトランジスタのしきい値電圧に依存しており、そのしきい値電圧が高い場合にはリーク電流は小さく、しきい値電圧が低い場合にはリーク電流は大きくなる。

【0055】一方、同一集積回路内に構成されている補償電流源60内のNMOSトランジスタ61のしきい値電圧も内部回路1内のNMOSトランジスタと同一のしきい値電圧を有しているので、例えば、内部回路1内のMOSトランジスタのしきい値電圧が高くそのデバイスリーク電流が小さい場合、NMOSトランジスタ61のしきい値電圧は、抵抗R₁、R₂からなる分圧回路で分圧された内部電圧V_{INT}の分圧出力V_{TN}よりも高く

なり、NMOSトランジスタ61はオフ方向に遷移してそのドレイン電圧が高くなる。

【0056】その結果、補償電流 I_c を流すNMOSトランジスタ63のゲート電圧が高くなるので、補償電流 I_c が増加する。即ち、内部回路1内のMOSトランジスタのしきい値電圧が高く、リーク電流が小さい場合には、補償電流源60による補償電流 I_c は増加する。

【0057】同様に、内部回路1内のMOSトランジスタのしきい値電圧が低くそのデバイスリーク電流が大きい場合には、NMOSトランジスタ61のしきい値電圧は抵抗 R_1 、 R_2 からなる分圧回路で分圧された内部電圧 V_{INT} の分圧出力 V_{TP} よりも低くなり、NMOSトランジスタ61はオン方向に遷移するのでそのドレイン電圧が低くなる。その結果、補償電流 I_c を流すNMOSトランジスタ63のゲート電圧が低くなり、補償電流 I_c は減少する。

【0058】このように、内部回路1内のMOSトランジスタのしきい値電圧が高くリーク電流が小さい場合には、補償電流源60による補償電流 I_c が増大し、内部回路1内のMOSトランジスタのしきい値電圧が低くリーク電流が大きい場合には、補償電流源60による補償電流 I_c が減少するので、内部回路1のリーク電流に製造によるばらつきがあっても、降圧回路10から出力される出力電流 I_o の製品毎の変動は抑制される。

【0059】図9は、本発明の第6の実施形態を示す回路図である。本実施形態の補償電流源70は、上記第5の実施形態における補償電流源60内のNMOSトランジスタをPMOSトランジスタに置き換えて構成したものであって、内部電圧供給ライン13と接地電位間に接続されて内部電圧 V_{INT} を分圧する抵抗 R_1 、 R_2 からなる分圧回路を備え、この分圧回路の分圧出力 V_{TP} を、PMOSトランジスタのしきい値電圧近傍の値に設定することにより、内部回路1内のPMOSトランジスタの不活性時におけるリーク電流のばらつきも補償することを特徴としている。

【0060】図9において、抵抗 R_1 、 R_2 からなる分圧回路で分圧された内部電圧 V_{INT} の分圧出力 V_{TP} は、ソース電極が内部電圧 V_{INT} に接続されたPMOSトランジスタ71のゲート電極に入力される。PMOSトランジスタ71のドレイン電極と接地電位間に、ゲート電極とドレイン電極が接地電位に接続されソース電極がPMOSトランジスタ71のドレイン電極に接続された負荷素子としてのPMOSトランジスタ72が接続されている。このPMOSトランジスタ71および72からなる回路は、抵抗 R_1 、 R_2 からなる分圧回路の出力を反転増幅してPMOSトランジスタ73のゲート電極に供給する反転増幅器として機能している。

【0061】抵抗 R_1 、 R_2 からなる分圧回路の分圧出力 V_{TP} の値はPMOSトランジスタ71のしきい値電圧近傍の値に設定される。またPMOSトランジスタ7

1のドレイン電極からの出力は、そのソース電極とドレイン電極間に内部電圧供給ライン13と接地電位間に接続されて補償電流 I_c を流すPMOSトランジスタ73のゲート電極に入力される。

【0062】補償電流源70を構成するPMOSトランジスタ71～73と内部回路1内のPMOSトランジスタは同一の集積回路内の素子として同一工程で形成されるので、これらのPMOSトランジスタのしきい値電圧は全て等しくなる。以下、図9を参照して本実施形態の動作について説明する。

【0063】内部回路1が不活性状態の時に内部回路1に流れるリーク電流は、内部回路1内のPMOSトランジスタのしきい値電圧に依存しており、そのしきい値電圧が高い場合にはリーク電流は大きく、しきい値電圧が低い場合にはリーク電流は小さくなる。

【0064】一方、同一集積回路内に構成されている補償電流源70内のPMOSトランジスタ71のしきい値電圧も内部回路1内のPMOSトランジスタと同一のしきい値電圧を有しているので、例えば、内部回路1内のPMOSトランジスタのしきい値電圧が高くそのデバイスリーク電流が大きい場合、PMOSトランジスタ71のしきい値電圧は、抵抗 R_1 、 R_2 からなる分圧回路で分圧された内部電圧 V_{INT} の分圧出力 V_{TP} よりも高くなり、PMOSトランジスタ71はオン方向に遷移してそのドレイン電圧が高くなる。

【0065】その結果、補償電流 I_c を流すPMOSトランジスタ73のゲート電圧が高くなるので、補償電流 I_c が減少する。即ち、内部回路1内のPMOSトランジスタのしきい値電圧が高く、リーク電流が大きい場合には、補償電流源70による補償電流 I_c は減少する。

【0066】同様に、内部回路1内のPMOSトランジスタのしきい値電圧が低くそのデバイスリーク電流が小さい場合、PMOSトランジスタ71のしきい値電圧は、抵抗 R_1 、 R_2 からなる分圧回路で分圧された内部電圧 V_{INT} の分圧出力 V_{TP} よりも低くなり、PMOSトランジスタ71はオフ方向に遷移してそのドレイン電圧が低くなる。

【0067】その結果、補償電流 I_c を流すPMOSトランジスタ73のゲート電圧が低くなるので、補償電流 I_c が増加する。即ち、内部回路1内のPMOSトランジスタのしきい値電圧が低く、リーク電流が小さい場合には、補償電流源70による補償電流 I_c は増加する。従って、本実施形態の場合も上記第5の実施形態の場合と同様に、内部回路1のリーク電流に製造によるばらつきがあっても、降圧回路10から出力される出力電流 I_o の製品毎の変動は抑制される。

【0068】図10は、本発明の第7の実施形態を示す回路図である。本実施形態は、上記第5の実施形態と第6の実施形態を組み合わせ、内部電圧供給ライン13と接地電位間に補償電流源60と70を並列に接続したも

のであり、内部回路1がCMOS構成となっている場合等に適用することにより、内部回路1内のCMOS回路の不活性時におけるリーク電流のばらつきを補償しながら、降圧回路10から所定の電流($I_N + I_P$)を引き出す補償電流源として機能させることができる。

【0069】本実施形態における補償電流源60と70の動作は、それぞれ上記第5の実施形態と第6の実施形態の動作と同様であるので、詳細な動作説明は省略する。

【0070】なお、上記第5～第7の実施形態では、補償電流を流すNMOSトランジスタ63およびPMOSトランジスタ73のゲート電極に入力されるコントロール信号は、第1実施形態のような常時入力される構成となっているが、第2実施形態のようなアクティブ信号入力時にNMOSトランジスタ63およびPMOSトランジスタ73をオフとするように構成することもできる。

【0071】図11は、本発明の第8の実施形態を示す回路図である。本実施形態では、内部降圧回路を構成する差動増幅器の出力を入力して増幅し、ドライバーPMOSトランジスタ12のゲート電極に出力する増幅器を備えており、この増幅器の動作電流を内部電圧供給ライン13から供給するように構成して、内部回路1が不活性時における上記降圧回路の出力電流 I_0 を所定値に設定する補償電流源として兼用したことを特徴としている。

【0072】図11において、本実施形態の降圧回路10は、非反転入力端に基準電圧 V_{REF} が、反転入力端に内部電圧 V_{INT} が入力される差動増幅器111と、NMOSトランジスタ113とPMOSトランジスタ114とからなり、差動増幅器111の出力を増幅するCMOS構成の増幅器112と、ゲート電極にCMOS構成の増幅器112の出力が入力され、ソース電極が外部電源電圧 V_{DD} に接続され、ドレイン電極から内部電圧 V_{INT} を出力するドライバーPMOSトランジスタ12によって構成されている。

【0073】上記CMOS構成の増幅器112は内部電圧供給ライン13と接地電位間に接続されており、その動作電流は内部電圧供給ライン13から供給される。本実施形態では、このCMOS構成の増幅器112の動作電流 I_C を内部電源安定化用の補償電流源として兼用したことを特徴としている。以下、本実施形態の動作について説明する。

【0074】降圧回路110では、差動増幅器111において内部電源ライン13上の内部電圧 V_{INT} と基準電圧 V_{REF} とが比較され、例えば内部電圧 V_{INT} が基準電圧 V_{REF} よりも低下すると、差動増幅器111の出力電圧が上昇するため、PMOSトランジスタ114はオフ方向に、NMOSトランジスタ113はオン方向に遷移し、増幅器112の出力電圧が低下する。その結果、ドライバーPMOSトランジスタ12はオン方向

に遷移し、外部電源電圧 V_{DD} からの電流が増加して内部電圧 V_{INT} を上昇する。

【0075】一方、内部電圧 V_{INT} が基準電圧 V_{REF} よりも上昇すると、差動増幅器111の出力電圧が低下するため、PMOSトランジスタ114はオン方向に、NMOSトランジスタ113はオフ方向に遷移し、増幅器112の出力電圧が上昇する。その結果、ドライバーPMOSトランジスタ12がオフ方向に遷移して外部電源電圧 V_{DD} からの電流が減少し、内部電圧 V_{INT} が低下する。以上のフィードバック作用により、内部電圧 V_{INT} が常に基準電圧 V_{REF} となるように制御される。

【0076】さらに本実施形態の場合、内部電圧 V_{INT} がCMOS増幅器112の動作電源となっているので、内部電圧 V_{INT} が上昇するとCMOS増幅器112の出力電圧も上昇し、ドライバーPMOSトランジスタ12をオフ方向に遷移させて内部電圧 V_{INT} を低下する方向に作用し、一方、内部電圧 V_{INT} が低下するとCMOS増幅器112の出力電圧も低下し、ドライバーPMOSトランジスタ12をオン方向に遷移させて内部電圧 V_{INT} を上昇させる方向に作用する。

【0077】従って、差動増幅器111とCMOS増幅器112およびドライバーPMOSトランジスタ12からなるフィードバックループと、CMOS増幅器112とドライバーPMOSトランジスタ12からなるフィードバックループとが相乗的に作用するのでそのループ利得はさらに高くなり、内部電圧 V_{INT} の変動に対する応答特性を一層改善することができる。

【0078】本実施形態によれば、差動増幅器111の出力を、PMOSトランジスタ114及びNMOSトランジスタ113からなるCMOS増幅器112で増幅しているので、差動増幅器111の動作電流を大きくすることなく降圧回路の感度を上げることができると共に、内部電圧 V_{INT} をCMOS増幅器112の動作電源としているので2重のフィードバックループが形成され、低消費電力化および内部電圧 V_{INT} の変化に対する応答特性の一層の改善を実現でき、さらに補償電流源を別途設けなくても内部電圧の安定化を図ることができる。

【0079】図12は、本発明の第9の実施形態を示す回路図である。本実施形態の降圧回路120は、上記第8の実施形態におけるCMOS増幅器112の代わりに、ゲート電極に差動増幅器111の出力が入力され、ソース電極が内部電圧 V_{INT} に接続され、ドレイン電極にNMOSトランジスタ123からなる定電流負荷回路が接続されたPMOSトランジスタ124によって構成された増幅器122を備えていることを特徴としている。その他の構成は上記第8の実施形態と同様である。

【0080】本実施形態では、この増幅器122の動作電流 I_C が内部電源安定化用の補償電流源として兼用される。以下、本実施形態の動作について説明する。

【0081】降圧回路120では、差動増幅器111において内部電源ライン13上の内部電圧 V_{INT} と基準電圧 V_{REF} とが比較され、例えば内部電圧 V_{INT} が基準電圧 V_{REF} よりも低下すると、差動増幅器111の出力電圧が上昇するため、PMOSトランジスタ124はオフ方向に遷移してその出力電圧が低下する。その結果、ドライバーPMOSトランジスタ12はオン方向に遷移し、外部電源電圧 V_{DD} からの電流が増加して内部電圧 V_{INT} を上昇する。

【0082】一方、内部電圧 V_{INT} が基準電圧 V_{REF} よりも上昇すると、差動増幅器111の出力電圧が低下するため、PMOSトランジスタ124はオン方向に遷移してその出力電圧が上昇する。その結果、降圧用ドライバーPMOSトランジスタ12がオフ方向に遷移して外部電源電圧 V_{DD} からの電流が減少して内部電圧 V_{INT} を低下させる。以上のフィードバック作用により、内部電圧 V_{INT} が常に基準電圧 V_{REF} となるように制御される。

【0083】本実施形態においても、差動増幅器111の出力を、PMOSトランジスタ124による増幅器122で増幅しているので、差動増幅器111の動作電流を大きくすることなく降圧回路の感度を上げることができ、従って、低消費電力化および内部電圧 V_{INT} の変化に対する応答特性の改善を実現できると共に、補償電源を別途設けなくても内部電圧の安定化を図ることができる。

【0084】また、本実施形態においても、差動増幅器111と増幅器122およびドライバーPMOSトランジスタ12からなるフィードバックループと、増幅器122とドライバーPMOSトランジスタ12からなるフィードバックループとが相乗的に作用するのでそのループ利得はさらに高くなり、内部電圧 V_{INT} の変動に対する応答特性を一層改善することができる。なお、図12において、差動増幅器111の出力をNMOSトランジスタ123のゲート電極に入力し、PMOSトランジスタ124のゲート電極には一定電圧を供給することによりPMOSトランジスタ124を定電流負荷とするように変更しても同様の効果が得られる。

【0085】図13は、本発明の第10の実施形態を示す回路図である。本実施形態の降圧回路130は、上記第8の実施形態において、差動増幅器111の動作電流も内部電圧 V_{INT} から供給するように構成したことを特徴としている。そのため差動増幅器111の反転入力端には内部電圧 V_{INT} を抵抗 R_1 、 R_2 で分圧した電圧が供給され、差動増幅器111の非反転入力端に供給される基準電圧 V_{REF} として、設定内部電圧を V_{INT} に対して、 $V_{INT} \cdot R_2 / (R_1 + R_2)$ の電圧に設定される。

【0086】本実施形態の基本的な動作は、上記第8の実施形態と同様であるので、詳細な動作説明は省略す

る。本実施形態では、この増幅器112の動作電流 I_1 と差動増幅器111の動作電流 I_2 及び分圧回路を流れる電流 I_3 の和 ($I_1 + I_2 + I_3$) を内部電源安定化用の補償電流源として利用可能であるので補償電流源の電流値を大きくすることができ、上記第8の実施形態の効果に加えて、補償電流値の選定が容易となる効果が生ずる。

【0087】なお、図13において、CMOSインバータ構成の増幅器を、図12に示す第9の実施形態のように一方のMOSトランジスタを定電流負荷として機能するように変更しても同様の効果が得られる。

【0088】図14は、本発明の第11の実施形態を示す回路図である。本実施形態は、アクティブ信号により活性状態と不活性状態が切り替えられる内部回路1が接続されている内部電圧供給ライン13に、この内部電圧が直流電源として供給されて動作する機能回路140を接続し、この機能回路に流す直流電流 I_a を内部電源安定化用の補償電流源として兼用したことを特徴としている。

【0089】内部電圧供給ライン13に接続する機能回路140としては、低振幅信号を受ける入力初段バッファ、レベル変換回路、センスアンプ等の増幅回路、 V_{INT} 系回路内で使用する定電圧発生回路、電圧保持のためにリーク電流（定常電流）を必要とするメモリセルもしくはラッチ回路等、内部降圧電圧により動作可能な適宜の機能回路を接続することができる。

【0090】本実施形態によれば、内部回路が不活性状態で微小なリーク電流しか流れていない状態においても、機能回路140には所定の動作電流 I_a が流れているので、降圧回路10からは常時 I_a 以上の電流が出力されそのループ利得は充分高い値に維持されている。従って、補償電流源を別途設けなくても降圧回路10の感度を上げることができ、内部電圧 V_{INT} の変化に対する応答特性の改善を図ることができるとともに、補償電流源を別途設ける必要がないのでその分低消費電力化を図ることができる。

【0091】上記各実施形態では、内部電圧供給ライン13と接地電位間に、アクティブ信号により活性状態と不活性（スタンバイ）状態が切り替えられる内部回路1と並列に内部回路1が不活性（スタンバイ）時における降圧回路10の出力電流を補償するための補償電流源を接続しているが、内部回路1が不活性（スタンバイ）時におけるリーク電流自体を意図的に制御することにより、このリーク電流を所定の補償電流として安定的に流すように構成することもできる。

【0092】内部回路1が不活性状態（スタンバイモード）の時に内部回路1に流れるデバイスリーク電流はサブスレッショルドリークであり、MOSトランジスタのスレッショルド電圧 V_{th} に依存した値である。通常このデバイスリーク電流は内部回路1が活性状態（アクテ

ィティブモード)の時に流れる電流の5%未満である。そこで、例えば、内部回路1を構成するMOSトランジスタのバンド間リーク電流、ゲート酸化膜のトンネル電流、サブレッショルドリーク電流(意図的にトランジスタの閾値を下げて増大させる)等を利用して、リーク電流が増大するようにデバイスパラメータを設定することにより、内部回路1が不活性状態(スタンバイモード)の時のデバイスリーク電流を活性状態(アクティティブモード)の時に流れる電流の5%以上に増加させ、この増加したデバイスリーク電流により降圧回路10の感度を上げて、降圧回路10の応答特性を改善することも可能である。

【0093】

【発明の効果】本発明は、基準電圧と内部電圧とを比較し、該比較結果に基づいて外部電源電圧を降圧した前記内部電圧を発生する降圧回路と、アクティブ信号により活性状態と不活性状態が切り替えられる内部回路が接続され、該内部回路に対して前記降圧回路により降圧された内部電圧を供給する内部電圧供給ラインとを有する内部降圧回路に対して、前記内部電圧供給ラインと接地電位間に、前記内部回路が不活性時に前記降圧回路から所定の出力電流を流すための補償電流源を設けているので、降圧回路の応答特性が改善され、内部回路が活性状態となってピーク電流が発生したとき又は内部回路が活性状態から不活性状態に切り替わって内部回路の電流が急激に減少したときに発生する内部電圧のアンダーシュート又はオーバーシュートにも即座に追随することができ、内部電圧の変動を効率的に防止することができる。

【0094】また本発明は、外部電源電圧を所定の内部電圧に降圧する降圧回路を、一方の端子に基準電圧が入力され他方の端子に内部電圧が入力される差動増幅器と、該差動増幅器の出力を増幅する増幅器と、ソース電極が外部電源電圧に接続されドレイン電極から前記内部電圧を出力するドライバーPMOSトランジスタにより構成し、前記増幅器あるいは前記差動増幅器及び前記増幅器の動作電流を前記内部電圧供給ラインから供給する構成とし、前記増幅器あるいは前記差動増幅器及び前記増幅器を、前記内部回路が不活性時における前記降圧回路の出力電流を所定値に設定するための補償電流源として兼用したので、消費電流を増加させることなく降圧回路の応答特性を改善することができ、内部回路が活性状態となってピーク電流が発生したとき又は内部回路が活性状態から不活性状態に切り替わって内部回路の電流が急激に減少したときに発生する内部電圧のアンダーシュート又はオーバーシュートにも即座に追随して内部電圧の変動を効率的に防止することができる。

【0095】また本発明は、基準電圧と内部電圧とを比較し、該比較結果に基づいて外部電源電圧を降圧した前記内部電圧を発生する降圧回路と、アクティブ信号により活性状態と不活性状態が切り替えられる内部回路が接

続され、該内部回路に対して前記降圧回路により降圧された内部電圧を供給する内部電圧供給ラインとを有する内部降圧回路に対して、前記内部電圧供給ラインと接地電位間に、前記内部電圧供給ラインから供給される電流により動作する機能回路を接続し、該機能回路の動作電流を前記内部回路が不活性時における前記降圧回路の出力電流を所定値に設定するための補償電流源として兼用したので、消費電流を増加させることなく降圧回路の応答特性を改善することができ、内部回路が活性状態となってピーク電流が発生したとき又は内部回路が活性状態から不活性状態に切り替わって内部回路の電流が急激に減少したときに発生する内部電圧のアンダーシュート又はオーバーシュートにも即座に追随して内部電圧の変動を効率的に防止することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示す回路図である。

【図2】第1の実施形態の動作を説明するためのグラフである。

【図3】本発明の第2の実施形態を示す回路図である。

【図4】第2の実施形態の動作を示すタイムチャートである。

【図5】第2の実施形態の動作を説明するためのグラフである。

【図6】本発明の第3の実施形態を示す回路図である。

【図7】本発明の第4の実施形態を示す回路図である。

【図8】本発明の第5の実施形態を示す回路図である。

【図9】本発明の第6の実施形態を示す回路図である。

【図10】本発明の第7の実施形態を示す回路図である。

【図11】本発明の第8の実施形態を示す回路図である。

【図12】本発明の第9の実施形態を示す回路図である。

【図13】本発明の第10の実施形態を示す回路図である。

【図14】本発明の第11の実施形態を示す回路図である。

【図15】本発明が適用される降圧回路の一例を示す図である。

【符号の説明】

1 内部回路

10, 110, 120, 130 降圧回路

11 差動増幅器

12 ドライバーPMOSトランジスタ

13 内部電圧供給ライン

20, 30, 30, 50, 60, 70 補償電流源

21, 41 バイアス発生回路

22, 33, 43, 51, 52, 61~63, 113,

114 NMOSトランジスタ

31 遅延回路

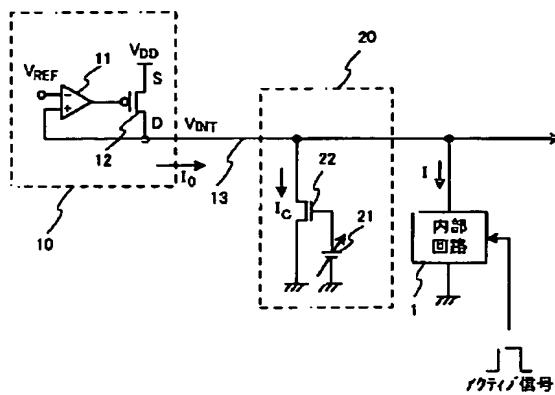
32 インバータ

71~73, 114, 124 PMOSトランジスタ

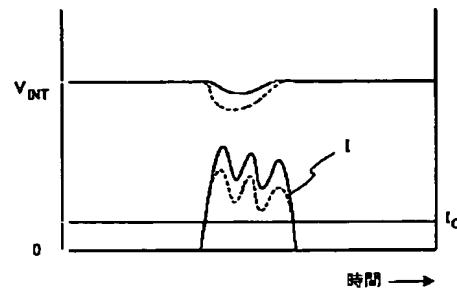
112, 122 增幅器

140 機能回路

【図1】

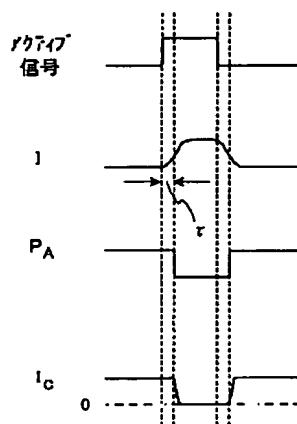
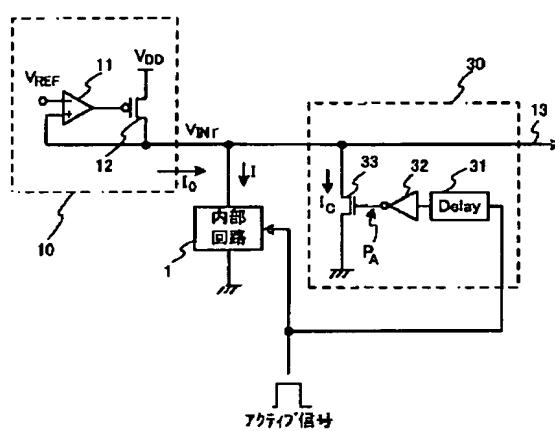


【図2】

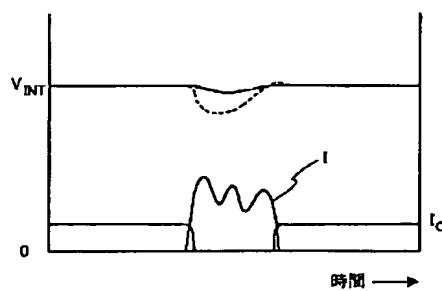


〔図4〕

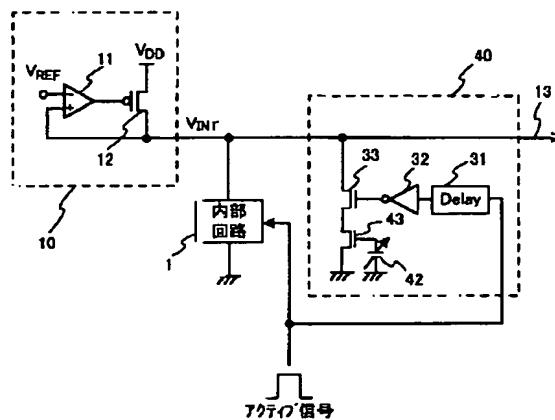
〔図3〕



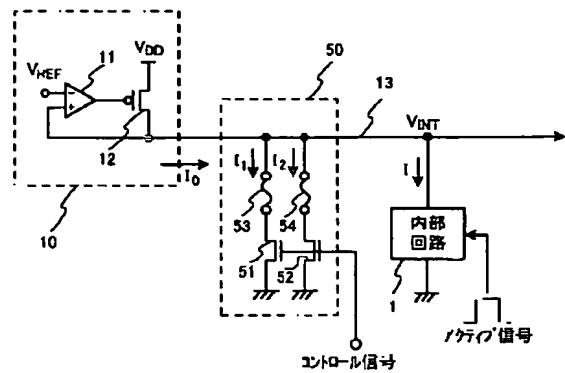
【図5】



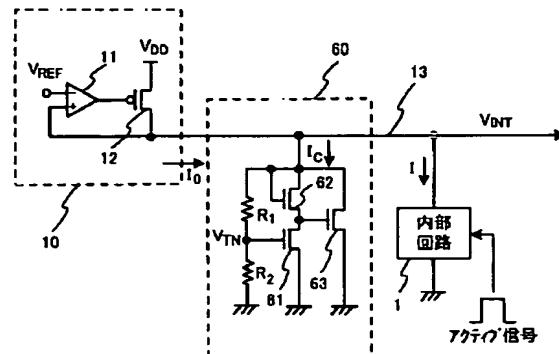
【図6】



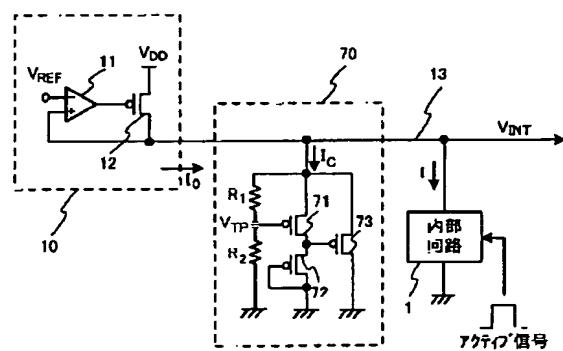
【図7】



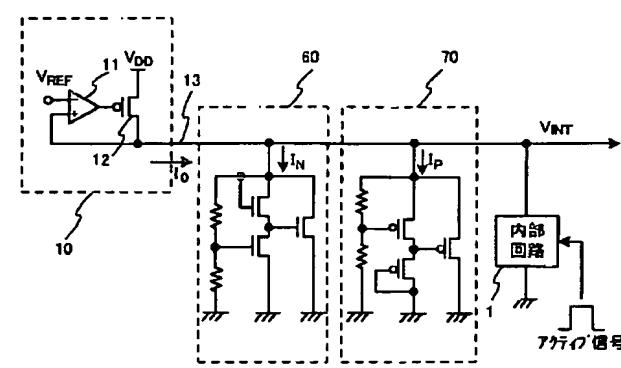
【図8】



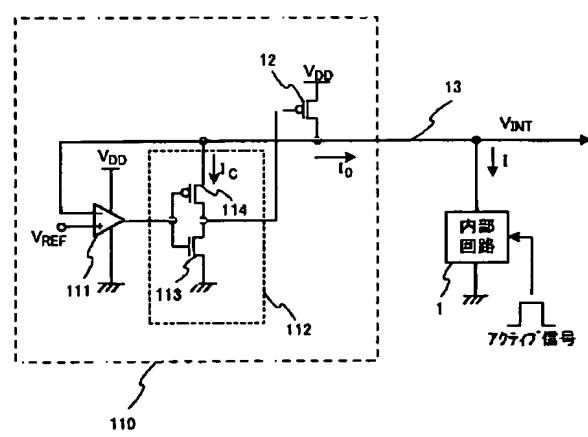
【図9】



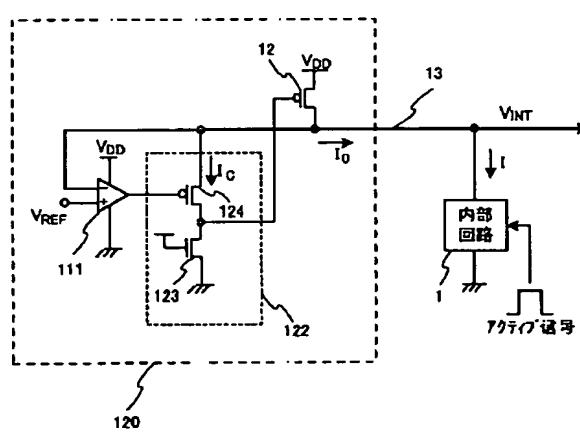
【図10】



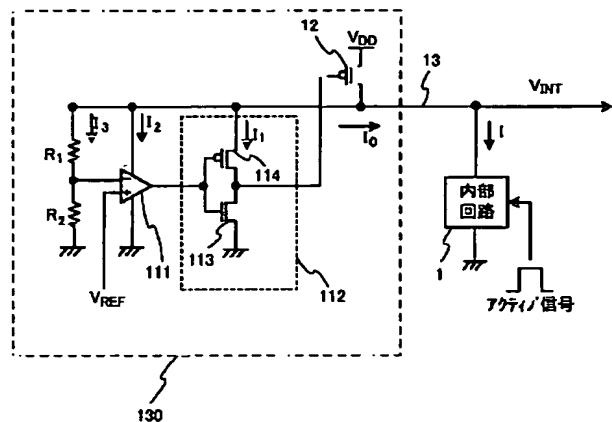
【図11】



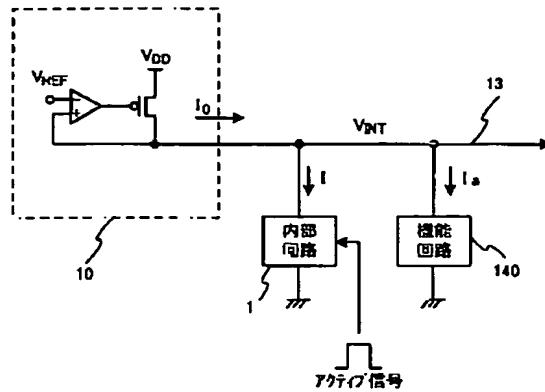
【図12】



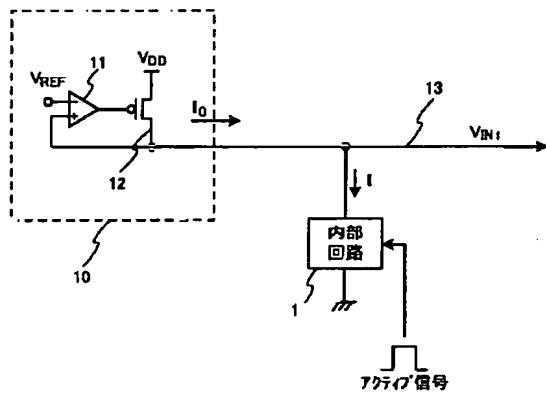
【図13】



【図14】



【図15】



フロントページの続き

(72)発明者 矢野 信光
神奈川県川崎市中原区小杉町一丁目403番
53 エヌイーシーマイクロシステムズ株式会社
内
(72)発明者 奥本 真士
神奈川県川崎市中原区小杉町一丁目403番
53 エヌイーシーマイクロシステムズ株式会社
内

Fターム(参考) 5H420 NA31 NB02 NB25 NC03 NC26
NE11 NE26
5J056 AA00 BB40 BB55 CC04 DD13
DD28 GG08 GG09
5J090 AA01 AA58 CA04 CA11 FA00
HA10 HA17 HA25 HA49 KA00
KA02 KA04 KA06 KA11 KA12
KA15 MA21 TA01 TA06
5J500 AA01 AA58 AC04 AC11 AF00
AH10 AH17 AH25 AH49 AK00
AK02 AK04 AK06 AK11 AK12
AK15 AM21 AT01 AT06
5M024 AA24 BB29 BB30 BB35 BB36
FF02 FF23 FF30 GG01 HH01
HH10 PP01 PP03 PP07

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.